



(12) 发明专利

(10) 授权公告号 CN 114553227 B

(45) 授权公告日 2025. 09. 12

(21) 申请号 202011340896.X

(22) 申请日 2020.11.25

(65) 同一申请的已公布的文献号
申请公布号 CN 114553227 A

(43) 申请公布日 2022.05.27

(73) 专利权人 久元电子股份有限公司
地址 中国台湾新竹市

(72) 发明人 曾青泳 郑有志 汪秉龙

(74) 专利代理机构 隆天知识产权代理有限公司
72003
专利代理师 聂慧荃 闫华

(51) Int.Cl.
H03M 1/10 (2006.01)
H03M 1/66 (2006.01)

(56) 对比文件

TW 548421 B, 2003.08.21
CN 103941105 A, 2014.07.23
CN 213547494 U, 2021.06.25

审查员 洪田惺

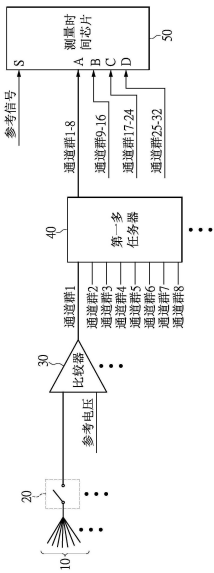
权利要求书2页 说明书5页 附图6页

(54) 发明名称

多通道群的时序校准装置及方法

(57) 摘要

本发明公开一种多通道群的时序校准装置及方法,该多通道群的时序校准装置包括有多个通道输入、至少一继电开关、至少一比较器、至少一第一多任务器及一测量时间芯片。其中该至少一比较器连接该至少一继电开关以及连接有一参考电压,或由一数字模拟转换器取代该参考电压。该至少一第一多任务器输入有不同通道群的信号而输出一被指定通道的信号,所述测量时间芯片计算出该多个通道输入中的每一个通道的该时序信号差异,作为时序信号延迟的依据。本发明能达成通道终端上的时序为一致对齐的波形,完成准确的时序误差的校准,避免信号时间差产生,且仅使用单一个电路板,大幅度降低电路板的成本。



1. 一种多通道群的时序校准装置,其特征在于,该多通道群的时序校准装置包括有:
多个通道输入,在该多个通道输入中的每一个通道内载有一时序信号;
至少一继电开关,该至少一继电开关的输入端连接该多个通道输入;
至少一比较器,该至少一比较器的第一输入端连接该继电开关的输出端,该至少一比较器的输出端输出第一通道群;

至少一第一多任务器,有多个输入端及一输出端;该至少一第一多任务器的该多个输入端中的一个输入端连接该第一通道群;该至少一第一多任务器的该多个输入端还连接有多个通道群;该至少一第一多任务器的输出端为一第一通道群组;

一第二多任务器,有一输入端,该输入端连接一参考信号;该第二多任务器有一第一输出及一第二输出;

一测量时间芯片,设有一同步信号输入端以及至少一事件端;该同步信号输入端与该第二多任务器的该第二输出相连接;该至少一事件端连接该第一通道群组;该测量时间芯片计算出该多个通道输入中的每一个通道的该时序信号差异,作为时序信号延迟的依据;

一数字模拟转换器,该数字模拟转换器的输出端连接至该至少一比较器的第二输入端;

一控制器,该控制器同时连接至该继电开关、该数字模拟转换器、该至少一第一多任务器以及该测量时间芯片,且该控制器接受该测量时间芯片的输出信号;该控制器于该测量时间芯片计算出各个时序信号延迟状态之后,执行控制该数字模拟转换器及该至少一第一多任务器,将有时序差异的通道调整延迟,使各个通道的时序一致。

2. 如权利要求1所述的多通道群的时序校准装置,其特征在于,该多通道群的时序校准装置其中该数字模拟转换器配合用户的需求,能产生一个用户所需要的参考电压波型信号,作为该至少一比较器的第二输入端信号。

3. 如权利要求1所述的多通道群的时序校准装置,其特征在于:

其中,该测量时间芯片中所述至少一事件端包括有:第一事件端、第二事件端、第三事件端及第四事件端;该第一事件端输入该第一通道群组;该第二事件端输入有第二通道群组;该第三事件端输入有第三通道群组;该第四事件端输入有第四通道群组;

其中,所述的该至少一第一多任务器的该多个输入端所连接的该多个通道群之中,包括有第二通道群至第八通道群的不同通道群。

4. 一种多通道群的时序校准方法,其特征在于,该多通道群的时序校准方法为使用于如权利要求1所述的多通道群的时序校准装置中,该多通道群的时序校准方法包括:

先校准一比较器路径;

再校准一驱动器路径;

接者校准该多通道群的时序校准装置的时序误差;

将继电开关切断;

将该第二多任务器的第二输出连接至该至少一比较器的第一输入端;

以测量时间芯片测量多个通道群的时序差异;

该控制器再以该时序差异该作为时序校准的依据,校准各个通道的时序;

之后校准各个通道群的时序;

断开该第二多任务器的第二输出与该至少一比较器的第一输入端之间的连接;

将继电开关连接；
以测量时间芯片测量多个通道群的时序差异；
该控制器再以该时序差异该作为时序校准的依据,校准各个通道的时序。

多通道群的时序校准装置及方法

技术领域

[0001] 本发明涉及一种多通道群的时序校准装置及方法,尤其涉及一种能够运用在巨量级通道数量上,使用单一校准装置即可有效的校准各个通道之间时序差异的多通道群的时序校准装置及其方法。

背景技术

[0002] 现有技术中,关于多通道信号的传输,由于元件之间个别的差异,会使得各个通道的时序之间有差异产生,如图1所示。在图1的左侧边中主要是表示通道一至通道四之间相较于参考基准的比较之下,每个通道之间个别有时序上的差异存在。箭头所指示的意义,在于经过时序校准之后,希望能达成如图1右侧边所公开的时序图,即各个通道的时序是一致的,期望通道一至通道四的各个时序皆为同步而无误差。其中,图2所公开,是有关于单一通道的基本电路架构,该基本电路架构中包括有一驱动数据,该驱动数据连接有一延迟器之后再连接到一驱动器,驱动器的输出端为通道终端。所述通道终端再反馈连接至一比较器的一输入端,比较器的另一输入端则连接有一参考电压,之后由比较器输出一比较数据,作为比较时序差异的参考数据。

[0003] 如图2电路架构中所示,由于驱动器特性以及比较器特性之间的差异性,甚至是线路走线的长短差异等等,皆会造成多个通道之间在时序比较上的差异。然而,当有通道时序上的差异产生时,例如图1中左侧边的时序图所示,这些时序差异无法在通道的终端上产生对齐的波型,且从通道终端到比较结果的比较数据之间也会有时间差的不同。目前一般的解决作法是采用“短路装置界面板”,此种传统上使用短路装置界面板的架构,先校准比较器路径再校准驱动器路径,然而这样的校准方式当通道的数量众多时或是有巨量级数的通道时,往往需要再配置第二或第三校准板,如图3所示。图3中的现有技术为了要运用于通道数量较多的状态,所以将装置界面板设置为装置界面板1以及装置界面板2等两块校正板,一般而言称装置界面板为校正板(或称校准板)。其中装置界面板1右侧的聚集点以及装置界面板2中右侧的聚集点,乃皆视为信号源。然而,图3所公开的现有技术,由于需要两块校正板,亦即需要两块电路板才能实行多通道时序校准,若是要再增加更多的通道数量输入,则还得再增加额外的电路板才行。如此,不仅使得校准工作繁复、成本增加且校准的效率也会随之下降。

发明内容

[0004] 本发明为一种多通道群的时序校准装置及方法,包括有时序校准的校准板架构的创新设计及其对应的校准方法,能够有效的运用在巨量级多通道数量的时序校准作业上,且使用单一校准装置(即单一个校准板)即可有效的检测出各个通道之间的时序差异,之后再行校准各个通道之间时序差异,达成通道终端上的时序为一致对齐的波型,完成准确的时序误差的校准,避免信号时间差产生,且仅使用单一个电路板,大幅度降低电路板的成本,有效改善现有技术的缺陷。

[0005] 本发明的多通道群的时序校准装置:包括:多个通道输入,在该多个通道输入中的每一个通道内载有一时序信号;至少一继电开关,该至少一继电开关的输入端连接该多个通道输入;至少一比较器,该至少一比较器的第一输入端连接该至少一继电开关的输出端,该至少一比较器的第二输入端连接一参考电压,该至少一比较器的输出端输出第一通道群;至少一第一多任务器,有多个输入端及一输出端;该至少一第一多任务器的该多个输入端中的一个输入端连接该第一通道群;该至少一第一多任务器的该多个输入端还连接有多个通道群;该至少一第一多任务器的输出端为一第一通道群组;一测量时间芯片,设有一同步信号输入端以及至少一事件端,该至少一事件端连接该第一通道群组,该同步信号输入端连接有一参考信号;该测量时间芯片计算出该多个通道输入中的每一个通道的该时序信号差异,作为时序信号延迟的依据。

[0006] 本发明的有益效果在于,本发明的多通道群的时序校准装置及方法不仅开发出了单一个电路板装置的多通道群的时序校准装置,大幅度的降低电路板的成本,且能够扩张的使用到具有多个多通道群组的时序信号校正,有效地应用在巨量通道群或通道数量庞杂的时序差异校正的技术领域中,节省整体校准装置的面积与体积,方便与所欲校准的多通道群相接合。

[0007] 为使能更进一步了解本发明的特征及技术内容,请参阅以下有关本发明的详细说明与附图,然而所提供的附图仅用于提供参考与说明,并非用来对本发明加以限制。

附图说明

[0008] 图1为现有技术多通道时序校准的目的示意图;

[0009] 图2为现有技术基本通道架构的示意图;

[0010] 图3为现有技术中解决多通道时序问题的示意图;

[0011] 图4为本发明第一实施例的电路示意图;

[0012] 图5为本发明第二实施例的电路示意图;

[0013] 图6为本发明第二实施例中另一状态的电路示意图。

具体实施方式

[0014] 本发明公开一种多通道群的时序校准装置及方法,本发明能有效的运用在巨量级多通道数量的时序校准作业上,且使用单一校准装置即可有效的检测出各个通道之间的时序差异,以利于之后针对各个通道时序上的差异进行校准作业,以有效达成各个通道终端上的时序波型为一致对齐。

[0015] 在下文中将参阅随附附图,借以更充分地描述各种例示性实施例,并在随附附图中展示一些例示性实施例。然而,本发明的概念可能以许多不同形式来加以体现,且不应解释为仅限于本文中所阐述的例示性实施例。确切而言,提供此等例示性实施例使得本发明将为详尽且具体,且将向熟习此项技术者充分传达本发明概念的范畴。在诸附图中,可以为了清楚而夸示多通道输入、通道群、多任务器与测量时间芯片等数量或尺寸的大小与各相对应位置距离,其中对于类似或相似的英文标号或数字,始终指示类似或相关系的元件。

[0016] 应理解,虽然在本文中可能使用术语包括出现的第一、第二、第三...,此等术语乃用以清楚地区分一元件与另一元件,并非具有一定的元件的先后数字的顺序关系;也就是

说,说明中可能有第一及第三,但无第二;或者是有多个第一,但是却只有单一个第二的实施方式。如本文中所使用术语的上侧或下侧、左端或右端、左侧边或右侧边等等,此等术语乃用以清楚地区分一个元件的一侧边与端点与对应该元件的另一侧边与端点,或为区分一元件与另一元件之间的对应连接位置关系,或是一个侧边与另一个侧边之间为不同位置,其并非用以限制该文字序号所呈现的顺序关系或是位置之间关系,且非必然有数字上连续的关系;也就是由另一角度观之,描述元件的上侧(或下侧)可以被改称为下侧(或上侧)而不影响技术的本质。再者,本文中可能会使用术语“至少一个”来描述具有一个或多个元件以上所实施的技术。另外本文也可能使用术语“多个”来描述具有多个元件或多个元件,但此等多个,乃不仅限于实施有二个、三个或四个及四个以上的数目表示所实施的技术。以上,合先叙明。

[0017] 参阅图4所示,为本发明多通道群的时序校准装置的第一实施例的电路方块示意图,本发明所述的时序校准装置在实务运作上亦能称之为“校准板”或是“校正板”,本发明对于该名称并部加以限制,端视使用者实际商业需求而定其名称。图1所公开包括有多个通道输入10、多个继电器20、多个比较器30、多个第一多任务器40以及一测量时间芯片50。须声明的是本发明的实施例运用上,若用户的通道数量不多的情形之下,本发明亦能够仅使用单一个继电器20、单一个比较器30以及单一个第一多任务器40;也就是说,本发明的实施例操作上包括了一个或多个的继电器20、比较器30以及第一多任务器40;换言之,本发明中包括了至少一继电开关20、至少一比较器30以及至少一第一多任务器40。在所述的多个通道输入10中的每一个通道内载有一时序信号,该时序信号举例而言可以是如图1所示的通道时序信号;再者,在多个通道输入10的聚集点可视为信号源,当有多群组的多个通道输入10之时既会有多个聚集点,即视为有多个信号源,然而,本发明并不限制为一个信号源或是多个信号源。

[0018] 所述的继电开关20(如前述可以是一个或是多个继电开关20)的输入端即为连接该多个通道输入10,若是有多组的多个通道输入10则分别与多个继电开关20连接,所述的继电开关20乃是作为多个通道输入10的时序信号进入整个多通道群的时序校准装置的一个开关或闸门,当继电开关20为断开、切断的off时,多个通道输入10的信号不会进入多通道群的时序校准装置;当继电开关20为导通、连接的on时,则多个通道输入10的信号进入多通道群的时序校准装置之中。所述的比较器30,本发明可以实施一个或多个的比较器30,比较器30的第一输入端(例如,图4所示比较器30输入端的上侧输入)连接前述的继电开关20的输出端,比较器30的第二输入端(例如,图4所示比较器30输入端的下侧输入)连接一参考电压;之后比较器30的输出端则是输出第一通道群(即图4所示的通道群1)。所述的第一多任务器40,同样地可以实施一个或多个的第一多任务器40,其中第一多任务器40有多个输入端(如图4中第一多任务器40的左侧边所示)及一输出端(如图4中第一多任务器40的右侧边所示)。在第一多任务器40的该多个输入端中的一个输入端连接前述第一通道群(即通道群1),此外图4的第一多任务器40的多个输入端还连接有多个通道群包括第二、第三、第四、第五、第六、第七至第八通道群(通道群2~通道群8,如图4所示)。之后,经由第一多任务器40的多任务选择后,第一多任务器40的输出端为一通道群1-8的时序信号,实物上所述的通道群1-8的时序信号,能为一个被指定的通道信号或是被指定的一个通道群信号。

[0019] 图4中所示的测量时间芯片50本身设有一同步信号输入端S以及至少一事件端,实

际运作上能配合使用者的需求,所述的测量时间芯片50可以只有单一个事件端,亦能有多多个事件端作为时序信号的输入端。在图4的实施例中则是举例包括有第一、第二、第三及第四事件端(A、B、C及D),其中该第一事件端A连接前述第一多任务器40所输出的通道群1-8的时序信号。此外,所述同步信号输入端S连接有一参考信号,作为测量不同通道时序信号的时间参考基准。所述测量时间芯片50计算出整体多个通道输入10中的每一个通道的该时序信号差异,能作为时序信号延迟控制的依据。在另一实施例中,当有多组的多个通道输入10搭配多个继电器20、多个比较器30以及多个第一多任务器40时,则测量时间芯片50中所述的第一事件端A输入通道群1-8(第一通道群组),第二事件端B输入有一通道群9-16(第二通道群组),第三事件端C输入有一通道群17-24(第三通道群组);以及第四事件端D输入有通道群25-32(第四通道群组)。

[0020] 参阅图5所示,为本发明的第二实施例电路示意图。除了前述的多个通道输入10(同样的能够实施为多组的多个通道输入10)、多个继电器20(同样的亦能实施单一个继电器20)、多个比较器30(同样的亦能实施单一个比较器30)、多个第一多任务器40(同样的亦能实施单一个第一多任务器40)以及一测量时间芯片50之外,还包括设置有一数字模拟转换器(DAC)70以及一控制器(Controller)80。其中,数字模拟转换器(DAC)70的作用为取代前述的参考电压,第二实施例借由数字模拟转换器70能够配合使用者的需求,进而产生一个用户所需要的参考电压波型信号,作为比较器30的第二输入端(比较器30输入端的上侧输入端)信号;进一步而言,所述的数字模拟转换器70能够作为一个描绘波形的波型产生器,进而产生一个参考用的时序波型,以作为时序校准的参考值。

[0021] 图5所示的控制器80同时连接至继电器20(能为一个或多个继电器20)、数字模拟转换器70、第一多任务器40(能为一个或多个第一多任务器40,与图4中的第一多任务器40为相同的元件)以及所述的测量时间芯片50;且控制器80接受测量时间芯片50的输出信号,作为时序信号的反馈参考,以利于之后对于本发明装置校正板的整体控制。控制器80于计算出各个时序信号延迟状态之后,进一步的控制数字模拟转换器70以及前述的第一多任务器40执行所需要的调整时序动作与作业,将有时序差异的通道执行调整时序延迟,借此使本发明装置校正板中的各个通道的时序输出为一致且对齐。

[0022] 在图5中亦公开另有一实施例,乃为包括有一第二多任务器60,此为本发明第二实施例中的另一参考实施例,此另一参考实施例的作用,在于能够作为校准整个本发明多通道群的时序校准装置的本身时序误差,也就是说,能够作为校准校正版本身的时序误差,对于校准板或校正板而言,能够校正装置本身的时序误差,亦为重要。其中图5为校正本发明装置校正板本身的时序误差,图6则为在本发明装置本身校正之后的一般通道时序信号进来之后状态的校正。所述的第二多任务器60有一输入端(如图5中第二多任务器60的左侧边),输入端连接有一参考信号,作为校正电路版本身的时序误差的参考。第二多任务器60的右侧边则有一第一输出及一第二输出,该第二输出与测量时间芯片50中的同步信号输入端S相连接。在第二实施例的又一实施例中,则本发明的多通道群的时序校准装置中还包括设置有一第一同轴射频接头(SMA Connector)22及一第二同轴射频接头(SMA Connector)62。其中第一同轴射频接头22连接介于继电器20与比较器30的第一输入端之间;第二同轴射频接头62连接于第二多任务器60的该第一输出。当实际需要时,除了直接将所述第二多任务器60的第二输出连接至所述至少一比较器30的第一输入端,直接跳线连接;此外,亦

能通过设置一对的同轴射频接头,作为跳线连接的媒介,借此可以测量校正版本身的时序误差。

[0023] 同样的,图5的实施例中测量时间芯片50本身设有至少一事件端,实际运作上能配合使用者的需求,所述的测量时间芯片50可以只有单一个事件端,亦能有多个事件端作为时序信号的输入端。在图5的实施例中则是举例包括有第一、第二、第三及第四事件端(A、B、C及D),其中该第一事件端A连接前述第一多任务器40所输出的通道群1-8的时序信号。测量时间芯片50执行计算出整体多个通道输入10中的每一个通道的该时序信号差异,能作为时序信号延迟控制的依据;以及所述控制器于测量时间芯片50计算出各个时序信号延迟状态之后,进一步的控制数字模拟转换器70及第一多任务器40,将有时序差异的通道调整延迟,使本发明装置的校正板中各个通道的时序一致。此外,当有多组的多个通道输入10搭配多个继电器开关20、多个比较器30以及多个第一多任务器40时,则测量时间芯片50中所述的第一事件端A输入通道群1-8,第二事件端B输入有一通道群9-16,第三事件端C输入有一通道群17-24;以及第四事件端D输入有通道群25-32。

[0024] 结合图5及图6的所示,能进一步说明本发明实施例所提出的多通道群的时序校准方法,须申明者,本发明所述的多通道群的时序校准方法主要使用于如图4或图5的多通道群的时序校准装置中,所述多通道群的时序校准方法包括:先校准一般比较器路径;再校准一般驱动器路径;接着校准该多通道群的时序校准装置的时序误差:首先,将继电器开关20切断(off),如图5所示;将所述第二多任务器60的第二输出连接至所述至少一比较器30的第一输入端,如图5所示;并以测量时间芯片50测量多个通道群的时序差异;所述控制器20再以该时序差异该作为时序校准的依据,校准各个通道的时序。之后进行校准各个通道群的时序,请参阅图6所示:先断开所述第二多任务器60的第二输出与所述至少一比较器30的第一输入端之间的连接;同时将继电器开关20连接(on),如图6所示;以测量时间芯片50测量多个通道群的时序差异;所述控制器80再以该时序差异该作为时序校准的依据,校准各个通道的时序。

[0025] 综上所述,本发明的多通道群的时序校准装置及方法不仅开发出了单一个电路板装置的多通道群的时序校准装置,大幅度的降低电路板的成本,且能够扩张的使用到具有多个多通道群组的时序信号校正,有效地应用在巨量通道群或通道数量庞杂的时序差异校正的技术领域中,节省整体校准装置的面积与体积,方便与所欲校准的多通道群相接合。显见,本发明技术内容具有极强的专利申请要件。

[0026] 以上所公开的内容仅为本发明的优选可行实施例,并非因此局限本发明的权利要求,所以凡是运用本发明说明书及附图内容所做的等效技术变化,均包含于本发明的权利要求内。

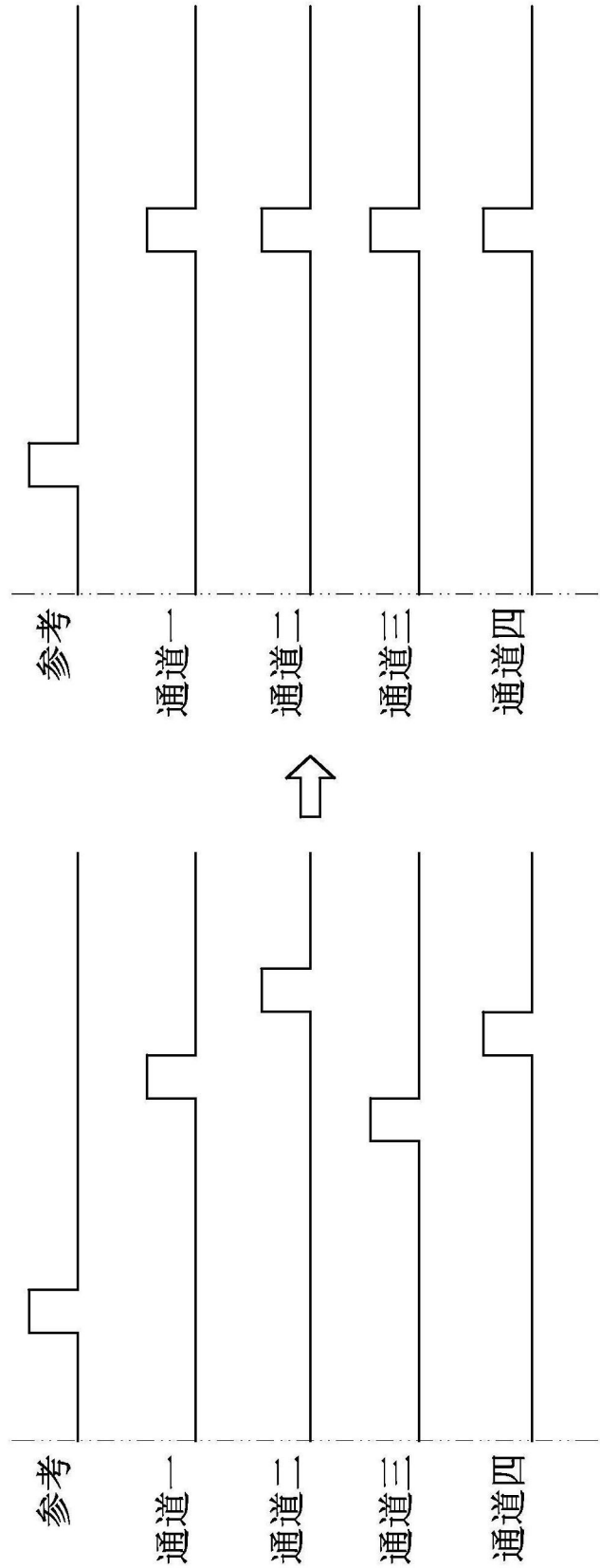


图1

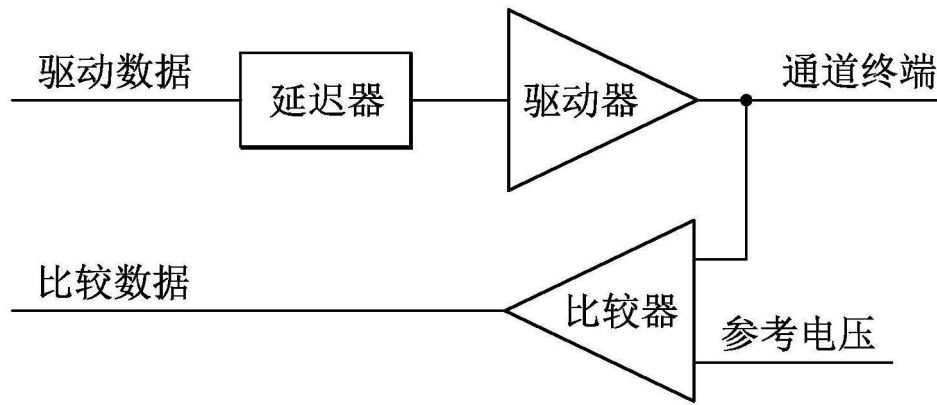


图2

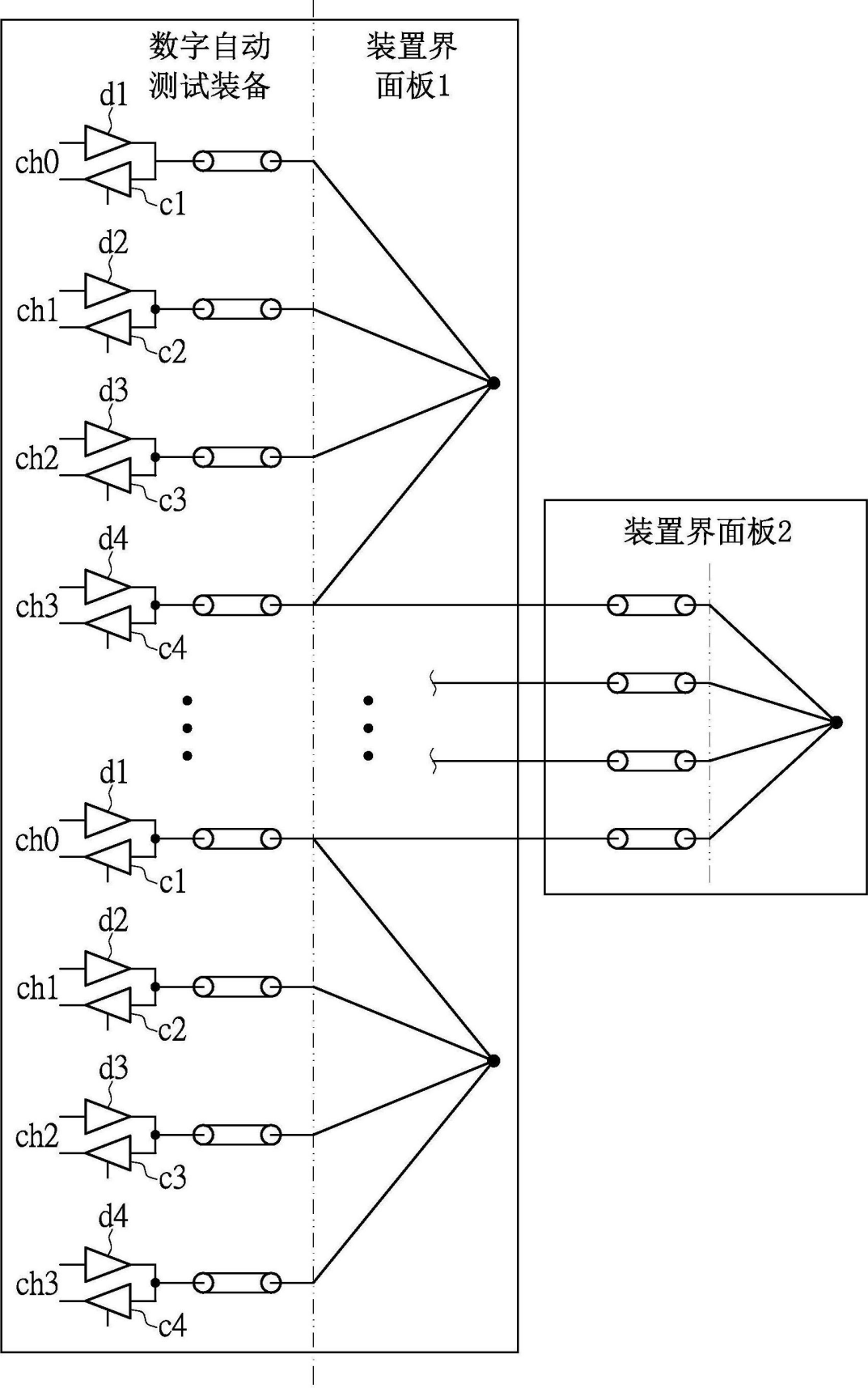


图3

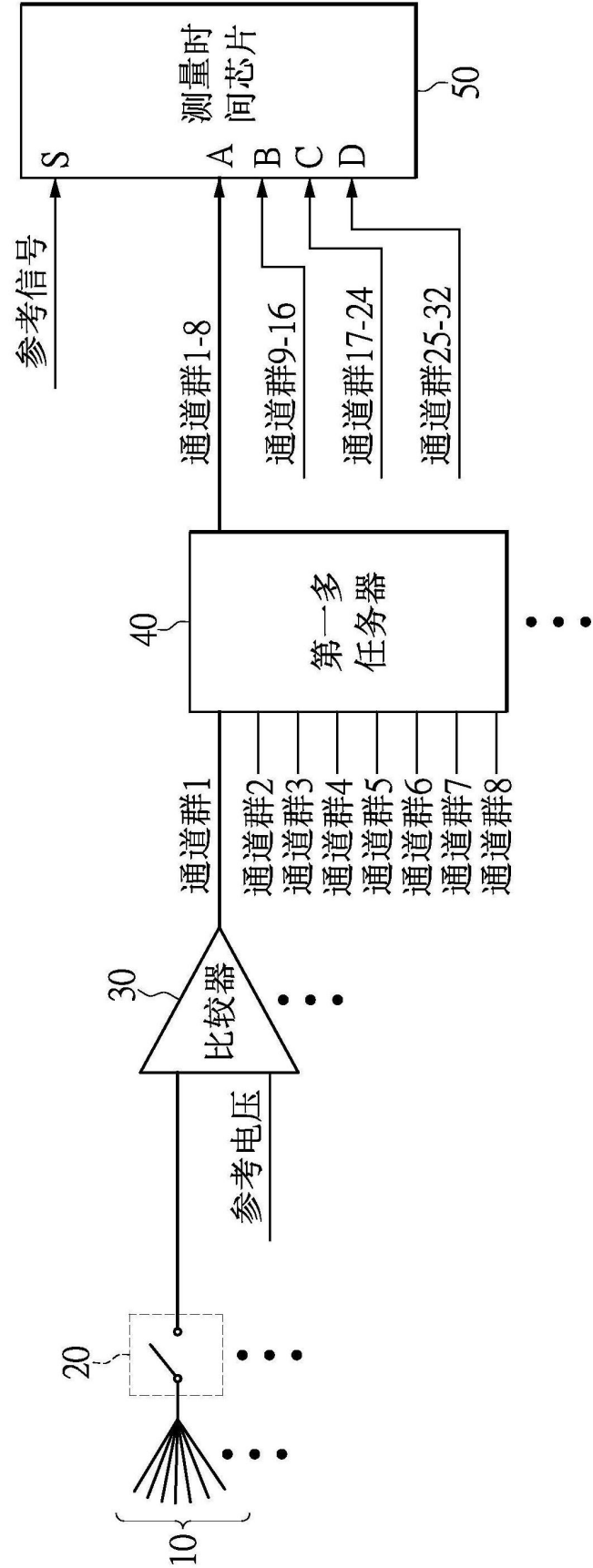


图4

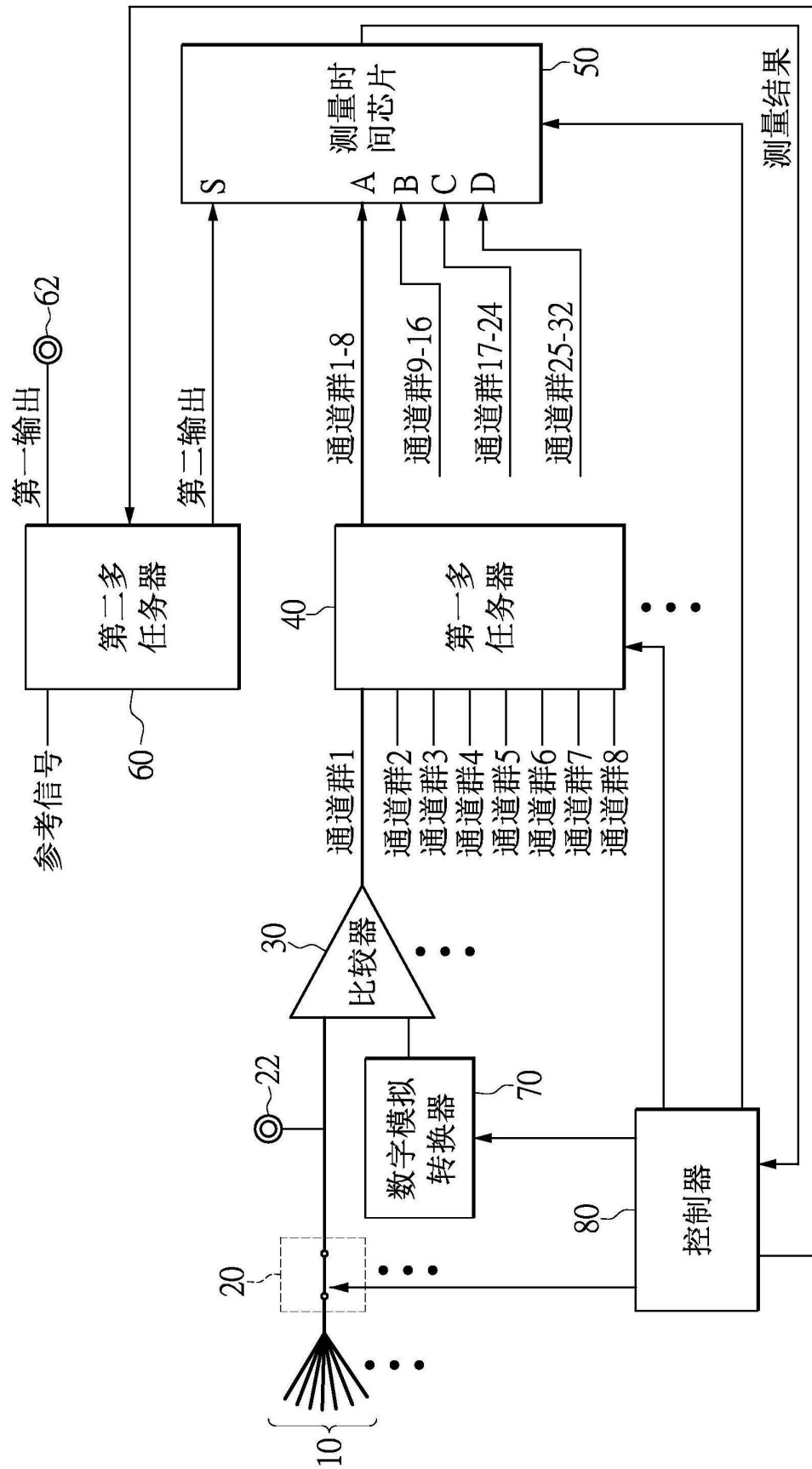


图6